

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-135105

(43)Date of publication of application : 10.05.2002

(51)Int.Cl.

H03K 19/0175
G11C 11/407
H03K 5/19

(21)Application number : 2001-244467

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 10.08.2001

(72)Inventor : TEI ZENSAI
YU SHOSHOKU
TEI KIKYOKU
KIN GENSAN

(30)Priority

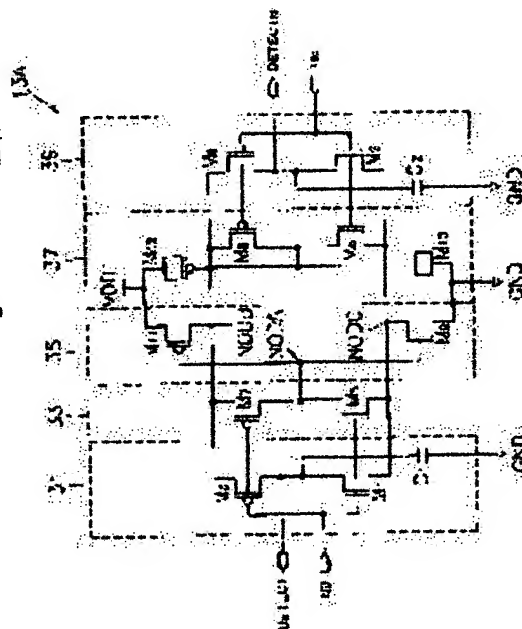
Priority number : 2000 200046938 Priority date : 14.08.2000 Priority country : KR

(54) DUTY CYCLE DETECTING CIRCUIT AND DUTY CYCLE CORRECTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a duty cycle detecting circuit that detects the duty cycle accuracy, the performance of which will not deteriorate even if there are changing characteristics on a transistor by process mismatching.

SOLUTION: The duty cycle detecting and correcting circuit comprise a first output driver 31, a self-biasing circuit 33, a current source 35 and a second output driver 39. The first output driver 31 pulls up or down a first output terminal in response to a first input signal. The second output driver 39 pulls up or down a second output terminal, in response to a second input signal. The self-bias circuit 33 adjusts a bias voltage, in response to the first input signal. The current source 35 passes a current through the first output driver 31, the second output driver 39 and the self-bias circuit 33, in response to the bias voltage.



LEGAL STATUS

[Date of request for examination] 21.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-135105

(P2002-135105A)

(43)公開日 平成14年5月10日(2002.5.10)

(51)Int.Cl.⁷

識別記号

F I

テ-マコト*(参考)

H 0 3 K 19/0175

H 0 3 K 5/19

T 5 J 0 3 9

G 1 1 C 11/407

19/00

1 0 1 Q 5 J 0 5 6

H 0 3 K 5/19

G 1 1 C 11/34

3 5 4 C 5 M 0 2 4

3 6 2 S

審査請求 未請求 請求項の数16 O L (全 7 頁)

(21)出願番号 特願2001-244467(P2001-244467)

(22)出願日 平成13年8月10日(2001.8.10)

(31)優先権主張番号 2 0 0 0 P - 4 6 9 3 8

(32)優先日 平成12年8月14日(2000.8.14)

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 鄭 然 宰

大韓民国慶尚南道泗川市鳳南洞542-1番地

(72)発明者 俞 昌 植

大韓民国京畿道水原市八達区靈通洞973-3番地 雙積谷 宇成アパート821棟1004号

(74)代理人 100086368

弁理士 萩原 誠

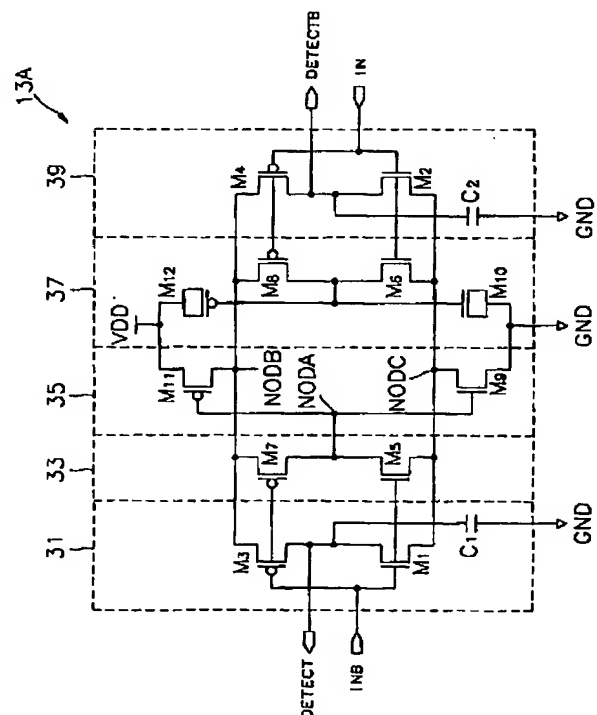
最終頁に続く

(54)【発明の名称】 デュティサイクル検出回路及びデュティサイクル補正回路

(57)【要約】

【課題】 プロセスの不整合によるトランジスタの特性変化があっても性能が劣化せず、デュティサイクルを正確に検出できるデュティサイクル検出回路を提供する。

【解決手段】 第1出力ドライバ31、自己バイアス回路33、電流源35および第2出力ドライバ39を備える。第1出力ドライバ31は第1入力信号にตอบสนองして第1出力端をプルアップまたはプルダウンする。第2出力ドライバ39は第2入力信号にตอบสนองして第2出力端をプルアップまたはプルダウンする。自己バイアス回路33は前記第1入力信号にตอบสนองしてバイアス電圧を調整する。電流源35は前記バイアス電圧にตอบสนองして前記第1出力ドライバ31と前記第2出力ドライバ39及び前記バイアス回路33に電流を流す。



【特許請求の範囲】

【請求項1】 第1入力信号にตอบสนองして第1出力端をプルアップまたはプルダウンする第1出力ドライバと、前記第1入力信号にตอบสนองしてバイアス電圧を調整するバイアス回路と、第2入力信号にตอบสนองして第2出力端をプルアップまたはプルダウンする第2出力ドライバと、前記バイアス電圧にตอบสนองして前記第1出力ドライバと前記第2出力ドライバ及び前記バイアス回路に電流を流す電流源とを備えることを特徴とするデュティサイクル検出回路。

【請求項2】 前記デュティサイクル検出回路は、前記電流源に接続され、前記バイアス回路との負荷整合のための整合回路をさらに備え、この整合回路は前記第2入力信号にตอบสนองして動作することを特徴とする請求項1に記載のデュティサイクル検出回路。

【請求項3】 前記第1出力ドライバは、ソースが第2ノードに接続され、ゲートに前記第1入力信号が印加される第1MOSトランジスタと、ドレインに前記第1MOSトランジスタのドレインが接続され、ゲートに前記第1入力信号が印加され、ソースが第3ノードに接続される第2MOSトランジスタとを備え、前記第1MOSトランジスタのドレインに前記第1出力端が接続されることを特徴とする請求項2に記載のデュティサイクル検出回路。

【請求項4】 前記デュティサイクル検出回路は、前記第1出力端と接地電圧との間に第1キャパシタ及び前記第2出力端と接地電圧との間に第2キャパシタをさらに備えることを特徴とする請求項2に記載のデュティサイクル検出回路。

【請求項5】 前記バイアス回路は、ソースが前記第2ノードに接続され、ゲートに前記第1入力信号が印加される第3MOSトランジスタと、ドレインに前記第3MOSトランジスタのドレインが接続され、ゲートに前記第1入力信号が印加され、ソースが前記第3ノードに接続される第4MOSトランジスタとを備えることを特徴とする請求項3に記載のデュティサイクル検出回路。

【請求項6】 前記電流源は、ソースが電源電圧に接続され、ゲートに前記第3MOSトランジスタのドレインが接続され、ドレインに前記第2ノードが接続される第5MOSトランジスタと、ドレインに前記第3ノードが接続され、ゲートに前記第3MOSトランジスタのドレインが接続され、ソースが接地電圧に接続される第6MOSトランジスタとを備えることを特徴とする請求項5に記載のデュティサイクル検出回路。

【請求項7】 前記第2出力ドライバは、

ソースが前記第2ノードに接続され、ゲートに前記第2入力信号が印加される第7MOSトランジスタと、ドレインに前記第7MOSトランジスタのドレインが接続され、ゲートに前記第2入力信号が印加され、ソースが前記第3ノードに接続される第8MOSトランジスタとを備え、前記第7MOSトランジスタのドレインに前記第2出力端が接続されることを特徴とする請求項5に記載のデュティサイクル検出回路。

10 【請求項8】 前記整合回路は、ソースが前記第2ノードに接続され、ゲートに前記第2入力信号が印加される第9MOSトランジスタと、ドレインに前記第9MOSトランジスタのドレインが接続され、ゲートに前記第2入力信号が印加され、ソースが前記第3ノードに接続される第10MOSトランジスタと、前記電源電圧にドレイン及びソースが共通接続され、ゲートが前記第9MOSトランジスタのドレインに接続される第11MOSトランジスタと、
20 前記接地電圧にドレイン及びソースが共通接続され、ゲートが前記第9MOSトランジスタのドレインに接続される第12MOSトランジスタとを備えることを特徴とする請求項7に記載のデュティサイクル検出回路。

【請求項9】 第1検出信号及び第1デュティサイクルを有する第1制御信号にตอบสนองして前記第1デュティサイクルよりも等価性が高い第2デュティサイクルを有する第1入力信号を発生させる校正回路と、前記第1入力信号にตอบสนองして前記第1検出信号を発生させる検出回路とを備え、

30 前記検出回路は、第1及び第2電流源を備える電流源と、前記第1及び第2電流源に電氣的に接続され、前記第1入力信号にตอบสนองして前記第1及び第2電流源のバイアスを制御するバイアス回路とを備えることを特徴とするデュティサイクル補正回路。

【請求項10】 前記校正回路は第2検出信号及び第3デュティサイクルを有する第2制御信号にตอบสนองして前記第3デュティサイクルよりも等価性が高い第4デュティサイクルを有する第2入力信号を発生させ、
40 前記検出回路は前記第2入力信号にตอบสนองして前記第2検出信号を発生させることを特徴とする請求項9に記載のデュティサイクル補正回路。

【請求項11】 デュティサイクル補正回路は、前記第1及び前記第2電流源に電氣的に接続され、前記第2入力信号にตอบสนองして前記バイアス回路の負荷を整合させる負荷整合回路をさらに備えることを特徴とする請求項10に記載のデュティサイクル補正回路。

【請求項12】 前記第1制御信号はクロック信号であり、前記第2制御信号は前記第1制御信号の相補的なクロック信号であることを特徴とする請求項11に記載の

デュティサイクル補正回路。

【請求項13】 前記第1入力信号及び前記第2入力信号は相補的な信号であり、前記第1検出信号及び前記第2検出信号は相補的な信号であることを特徴とする請求項11に記載のデュティサイクル補正回路。

【請求項14】 前記デュティサイクル補正回路は、前記第1入力信号にตอบสนองして前記第1検出信号をプルアップまたはプルダウンする第1出力ドライバと、前記第2入力信号にตอบสนองして前記第2検出信号をプルアップまたはプルダウンする第2出力ドライバとをさらに備えることを特徴とする請求項10に記載のデュティサイクル補正回路。

【請求項15】 前記電流源により生じた電流はバイアス電圧にตอบสนองして前記第1出力ドライバ、前記第2出力ドライバ及びバイアス回路に供給されることを特徴とする請求項14に記載のデュティサイクル補正回路。

【請求項16】 前記バイアス電圧は1周期中の第1ノードの電圧であり、

前記バイアス電圧は $V_b + V_c - V_{DD} - GND$ により計算され、

V_b は第2ノードの電圧であり、 V_c は第3ノードの電圧であり、 V_{DD} は電源電圧であり、 GND は接地電圧であることを特徴とする請求項15に記載のデュティサイクル補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、特に、不整合に鈍感なデュティサイクル検出回路及びこれを備えるデュティサイクル補正回路に関する。

【0002】

【従来の技術】システム性能の向上のために半導体メモリ装置、特に、ダイナミックランダムアクセスメモリ（以下、DRAMという）は高速化及び高集積化する一方である。すなわち、より多くのデータをより高速で処理するDRAMが要求されている。これにより、高速動作のためにシステムクロックに同期して動作するシンクロナスDRAM（以下、SDRAMという）が開発され、このSDRAMの登場によりデータの伝送速度が格段に上がっている。

【0003】しかし、SDRAMでは、システムクロックの1サイクル中にデータの入出力がなされなければならないため、シンクロナスDRAMとDRAMコントローラとの間の帯域幅、すなわち、単位時間当りのメモリ装置からの入出力データの量を増やすには限界がある。このため、近年、データの伝送速度を一層高速化するために、クロックの立ち上がりエッジ及び立ち下がりエッジにいずれも同期してデータが入出力されるデュアルデータレート（DDR）SDRAMが開発されている。

【0004】DDR SDRAMやダイレクトRAMバスDRAM（以下、ダイレクトRDRAMという）にお

いて、クロック信号のデュティサイクルが理想的とされる50%に保たれなければ、信頼性あるデータの伝送が不可能になる。このため、理想的とされる50%のデュティサイクルではない他のデュティサイクルを有した信号が入力されるとき、この信号は入力としての役割を正常に行えなくなるという問題がある。

【0005】図1は、従来のデュティサイクル補正回路のブロック図である。図1を参照すれば、デュティサイクル補正回路は、校正回路10及び検出回路13を備える。校正回路10はデュティサイクルの歪みがある限り、1対の相補的な入力クロックCLK、CLKBにตอบสนองして歪みを除去した1対の相補的な出力クロックIN、INBを出力する。

【0006】検出回路13は出力クロックIN、INBにตอบสนองして出力クロックIN、INBに対するデュティサイクルの歪みを検出した第1及び第2検出信号DETECT、DETECTBを校正回路10にフィードバックさせる。

【0007】図2は、図1の検出回路13の回路図である。図2を参照すれば、ダイオード結合された負荷M1及びM4、交差結合負荷M2及びM3及びソース結合対M5及びM6の各々のトランジスタ間に不整合が存在すれば、前記検出回路13はデュティサイクルの誤差がない入力クロックCLK、CLKBでも前記各々のトランジスタの不整合により出力クロックIN、INBにレベル差を生じる。

【0008】

【発明が解決しようとする課題】したがって、従来の回路は、対で使用されたトランジスタに不整合がある場合、出力クロックのデュティサイクルが歪むという問題点がある。

【0009】そこで、本発明は、トランジスタの不整合による特性の変化にも鈍感なデュティサイクル検出回路及びこれを備えるデュティサイクル補正回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるデュティサイクル検出回路は、第1入力信号にตอบสนองして第1出力端をプルアップまたはプルダウンする第1出力ドライバと、前記第1入力信号にตอบสนองしてバイアス電圧を調整するバイアス回路と、第2入力信号にตอบสนองして第2出力端をプルアップまたはプルダウンする第2出力ドライバと、前記バイアス電圧にตอบสนองして前記第1出力ドライバと前記第2出力ドライバ及び前記バイアス回路に電流を流す電流源とを備えることを特徴とするデュティサイクル検出回路である。

【0011】このデュティサイクル検出回路は、前記電流源に接続され、前記バイアス回路との負荷整合のための整合回路をさらに備え、この整合回路は前記第2入力信号にตอบสนองして動作する。

【0012】前記第1出力ドライバは、ソースが第2ノードに接続され、ゲートに前記第1入力信号が印加される第1MOSトランジスタと、ドレインに前記第1MOSトランジスタのドレインが接続され、ゲートに前記第1入力信号が印加され、ソースが第3ノードに接続される第2MOSトランジスタとを備え、前記第1MOSトランジスタのドレインに前記第1出力端が接続される。

【0013】前記電流源は、ソースが電源電圧に接続され、ゲートに前記第3MOSトランジスタのドレインが接続され、ドレインに前記第2ノードが接続される第5MOSトランジスタと、ドレインに前記第3ノードが接続され、ゲートに前記第3MOSトランジスタのドレインが接続され、ソースが接地電圧に接続される第6MOSトランジスタとを備える。

【0014】前記第2出力ドライバは、ソースが前記第2ノードに接続され、ゲートに前記第2入力信号が印加される第7MOSトランジスタと、ドレインに前記第7MOSトランジスタのドレインが接続され、ゲートに前記第2入力信号が印加され、ソースが前記第3ノードに接続される第8MOSトランジスタとを備え、前記第7MOSトランジスタのドレインに前記第2出力端が接続される。

【0015】前記整合回路は、ソースが前記第2ノードに接続され、ゲートに前記第2入力信号が印加される第9MOSトランジスタと、ドレインに前記第9MOSトランジスタのドレインが接続され、ゲートに前記第2入力信号が印加され、ソースが前記第3ノードに接続される第10MOSトランジスタと、前記電源電圧にドレイン及びソースが共通接続され、ゲートが前記第9MOSトランジスタのドレインに接続される第11MOSトランジスタと、前記接地電圧にドレイン及びソースが共通接続され、ゲートが前記第9MOSトランジスタのドレインに接続される第12MOSトランジスタとを備える。

【0016】本発明によるデュティサイクル補正回路は、校正回路及び検出回路を備える。校正回路は、第1検出信号及び第1デュティサイクルを有する第1制御信号にตอบสนองして前記第1デュティサイクルよりも等価性が高い第2デュティサイクルを有する第1入力信号を発生させる。前記検出回路は、第1及び第2電流源を備える電流源と、前記第1及び第2電流源に電氣的に接続され、前記第1入力信号にตอบสนองして前記第1及び第2電流源のバイアスを制御するバイアス回路とを備える。

【0017】前記校正回路は第2検出信号及び第3デュティサイクルを有する第2制御信号にตอบสนองして前記第3デュティサイクルよりも等価性が高い第4デュティサイクルを有する第2入力信号を発生させ、前記検出回路は前記第2入力信号にตอบสนองして前記第2検出信号を発生させる。

【0018】デュティサイクル補正回路は、前記第1及び前記第2電流源に電氣的に接続され、前記第2入力信号にตอบสนองして前記バイアス回路の負荷を整合させる負荷整合回路をさらに備える。

【0019】前記第1制御信号はクロック信号であり、前記第2制御信号は前記第1制御信号の相補的なクロック信号である。前記第1入力信号及び前記第2入力信号は相補的な信号であり、前記第1検出信号及び前記第2検出信号は相補的な信号である。

10 【0020】前記デュティサイクル補正回路は、前記第1入力信号にตอบสนองして前記第1検出信号をプルアップまたはプルダウンする第1出力ドライバと、前記第2入力信号にตอบสนองして前記第2検出信号をプルアップまたはプルダウンする第2出力ドライバとをさらに備える。

【0021】前記電流源により生じた電流はバイアス電圧にตอบสนองして前記第1出力ドライバ、前記第2出力ドライバ及びバイアス回路に供給される。

20 【0022】前記バイアス電圧は1周期中の第1ノードの電圧であり、前記バイアス電圧は $V_b + V_c - V_{DD} - GND$ により計算され、 V_b は第2ノードの電圧であり、 V_c は第3ノードの電圧であり、 V_{DD} は電源電圧であり、 GND は接地電圧である。

【0023】

【発明の実施の形態】以下、添付した図面を参照して、本発明の望ましい実施形態を説明することにより、本発明を詳細に説明する。各図面において、同一の参照符号は同一の部材を表わす。

30 【0024】図3は、本発明の一実施形態による検出回路13Aの回路図である。図3を参照し、本発明の一実施形態の構成を説明すれば、下記の通りである。検出回路13Aは相補的なクロック信号対CLK、CLKBにตอบสนองして図1の校正回路10から出力された相補的な入力信号対IN、INBを受信する。ここで、校正回路の入力信号を相補的なクロック信号対CLK、CLKBとして示したが、本発明はこれに限定されるものではない。例えば、校正回路の入力信号は相補的な制御信号対CNTL、CNTLBを使用する場合もある。

40 【0025】本発明による検出回路13Aは、第1出力ドライバ31、自己バイアス回路33、電流源35、第2出力ドライバ39及び負荷整合回路37を備える。

50 【0026】第1出力ドライバ31は相補的な入力信号INBにตอบสนองして第1検出信号DETECTをプルアップまたはプルダウンする。第1出力ドライバ31は、図3に示されたように、PMOSトランジスタM3及びNMOSトランジスタM1を備える。トランジスタM3及びM1のドレインは共通接続され、相補入力信号INBはトランジスタM3及びM1のゲートに入力される。第1検出信号DETECTはMOSトランジスタM3、M1のドレインから出力され、第1キャパシタC1は第1検出信号ラインと接地電圧GNDとの間に電氣的に接続

される。

【0027】第2出力ドライバ39は入力信号INに
 応答して第2検出信号DETECTBをプルアップまたは
 プルダウンする。第2出力ドライバ39は、図3に示さ
 れたように、PMOSTランジスタM4及びNMOST
 ランジスタM2を備える。特に、トランジスタM4及び
 M2のドレインは共通接続され、入力信号INはトラン
 ジスタM4及びM2のゲートに入力される。また、第2
 検出信号DETECTBはMOSトランジスタM4、M
 2のドレインから出力され、第2キャパシタC2は第2
 検出信号ラインと接地電圧GNDとの間に電氣的に接続
 される。

【0028】電流源35は第1ノードNODAの電圧で
 あるバイアス電圧に
 応答して第1出力ドライバ31、第
 2出力ドライバ39及びバイアス回路33に電流を流
 す。電流源35はソースが電源電圧VDDに接続され、
 ゲートが前記第1ノードNODAに接続され、ドレイン
 が第2ノードNODBに接続されるPMOSTランジスタ
 M11と、ドレインが第3ノードNODCに接続され、
 ゲートが第1ノードNODAに接続され、ソースが
 接地電圧GNDに接続されるNMOSTランジスタM9
 とを備える。

【0029】検出回路13Aは、ソース結合されたNM
 OSTランジスタM1及びM2の対及びソース結合され
 たPMOSTランジスタM3及びM4を積層した構造を
 有する。この構造は前記ソース結合対の電流ステアリン
 グ能力を用いたものである。すなわち、前記ソース結合
 対M1及びM2またはM3及びM4は適当に大きい差動
 入力電圧IN、またはINBに対してテール電流源M9
 またはM11により定まる電流を片方に限って流すこと
 になる。したがって、ソース結合対に使用されたラン
 ジスタM1及びM2、M3及びM4の工程の不整合によ
 る特性の劣化が減少する。

【0030】電流源35として動作するNMOSTラン
 ジスタM9及びPMOSTランジスタM11のバイア
 スが検出回路13Aの外部から供給される場合、第1検
 出信号DETECTまたは第2検出信号DETECTB
 のレベルは電源電圧VDDまたは接地電圧GNDに飽和
 する。これを共通モード問題という。したがって、本発
 明による一実施形態では、前記共通モード問題を解決す
 るために、自己バイアスを使って検出回路13A内にお
 いてバイアスが決まるようにする。

【0031】自己バイアス回路33はソースが第2ノ
 ードNODBに接続され、ゲートに相補的な入力信号IN
 Bが印加されるPMOSTランジスタM7及びドレイン
 にPMOSTランジスタM7のドレインが接続され、ゲ
 ートに相補的な入力信号INBが印加され、ソースが前
 記第3ノードNODCに接続されるNMOSTランジスタ
 M5を備える。

【0032】自己バイアス回路33の役割をするNMO

SトランジスタM5及びPMOSTランジスタM7は相
 補的な入力信号INBにより動的に電流源35のNM
 OSTランジスタM9及びPMOSTランジスタM11の
 バイアスを決定することになる。自己バイアス回路33
 は高速で動作する必要がないため、幅対長さ(W/L)
 が小さいものでも良い。

【0033】負荷整合回路37は自己バイアス回路33
 が加わることによる負荷の不一致を補償するためのもの
 である。負荷整合回路37はソースが第2ノードNOD
 Bに接続され、ゲートに入力信号INが印加されるPM
 OSTランジスタM8、ドレインにPMOSTランジスタ
 M8のドレインが接続され、ゲートに入力信号INが
 印加され、ソースが第3ノードNODCに接続されるN
 MOSTランジスタM6と、電源電圧VDDにドレイン
 及びソースが共通接続され、ゲートがPMOSTランジ
 スタM8のドレインに接続されるPMOSTランジスタ
 M12及び接地電圧GNDにドレイン及びソースが共通
 接続され、ゲートがPMOSTランジスタM8のドレイン
 に接続されるNMOSTランジスタM10を備える。

【0034】NMOSTランジスタM6の特性は自己バイ
 アス回路33のNMOSTランジスタM5のそれと同一
 であり、PMOSTランジスタM8の特性は自己バイ
 アス回路33のPMOSTランジスタM7のそれと同一
 である。また、NMOSTランジスタM10の特性は電
 流源35のNMOSTランジスタM9のそれと同一であ
 り、PMOSTランジスタM12の特性は電流源35の
 PMOSTランジスタM11のそれと同一である。

【0035】以下では、本発明の一実施形態による検出
 回路13Aの動作を詳細に説明する。入力信号IN及び
 相補的な入力信号INBは相補的であるため、説明の便
 宜上、相補的な入力信号INBについてのみ説明する。

【0036】相補的な入力信号INBが電源電圧VDD
 である間に、トランジスタM1及びM5はターンオンさ
 れ、トランジスタM3及びM7はターンオフされる。し
 たがって、トランジスタM5は電源電圧VDDと第3ノ
 ードNODCの電圧Vcとの差、すなわち、VDD-V
 cに比例する電流を第1ノードNODAから取り出す。

【0037】また、相補的な入力信号INBが接地電圧
 GNDである間に、トランジスタM1及びM5はターン
 オフされ、トランジスタM3及びM7はターンオンされ
 る。したがって、トランジスタM7は接地電圧GNDと
 第2ノードNODBの電圧Vbとの差、すなわち、Vb
 -GNDに比例する電流を第1ノードNODAに流す。

【0038】したがって、第1ノードNODAには毎周
 期ごとに純正に次の量に比例する電流が入ってくる。す
 なわち、(相補的な入力信号INBが“ハイ”である期
 間)×(Vc-VDD)+(相補的な入力信号INBが
 ‘ロー’である期間)×(Vb-GND)である。

【0039】図1の校正回路10が正常状態に達すれ
 ば、デューティサイクルが補正された状態となる。したが

10

20

30

40

50

って、相補的な入力信号 INB が“ハイ”である期間は相補的な入力信号 INB が“ロー”である期間と同一である。したがって、第1ノード $NODA$ に $(V_b + V_c - V_{DD} - GND)$ に比例する順電流が毎周期ごとに供給される。第2ノード $NODB$ の電圧 V_b 及び第3ノード $NODC$ の電圧 V_c の値が高ければ純電流の量は正となり、第1ノード $NODA$ の電圧は上がる。また、第2ノード $NODB$ の電圧 V_b 及び第3ノード $NODC$ の電圧 V_c の値が低ければ純電流の量は負となり、第1ノード $NODA$ の電圧は下がる。

【0040】もし、トランジスタ $M11$ を通じて流れる電流がトランジスタ $M9$ を通じて流れる電流よりも大きければ、第2ノード $NODB$ の電圧 V_b 及び第3ノード $NODC$ の電圧 V_c は上がるので、トランジスタ $M11$ を通じて流れる電流は減り、トランジスタ $M9$ を通じて流れる電流は増える。しかし、もし、トランジスタ $M11$ を通じて流れる電流がトランジスタ $M9$ を通じて流れる電流よりも小さければ、第2ノード $NODB$ の電圧 V_b 及び第3ノード $NODC$ の電圧 V_c は減るので、トランジスタ $M11$ を通じて流れる電流は増え、トランジスタ $M9$ を通じて流れる電流は減る。結局、検出回路 13A は、トランジスタ $M11$ を流れる電流の量及びトランジスタ $M9$ を流れる電流の量が同一になるように調節する。

【0041】したがって、本発明による検出回路はプロセスの不整合によるトランジスタの特性変化にもその性能の劣化を減らし、デューティサイクルを正確に検出でき

るという長所がある。

【0042】本発明は図面に示された一実施形態を参考として説明されたが、これは単なる例示的なものに過ぎず、この技術分野における通常の知識を有した者なら、これより各種の変形及び均等な他の実施形態が可能であるということが理解できる。よって、本発明の真の技術的な保護範囲は特許請求の範囲の技術的思想によって定まるべきである。

【0043】

- 10 【発明の効果】以上述べたように、本発明による検出回路は、プロセスの不整合によるトランジスタの特性変化にもその性能の劣化を減らし、デューティサイクルを正確に検出できるという長所がある。

【図面の簡単な説明】

【図1】従来のデューティサイクル補正回路のブロック図である。

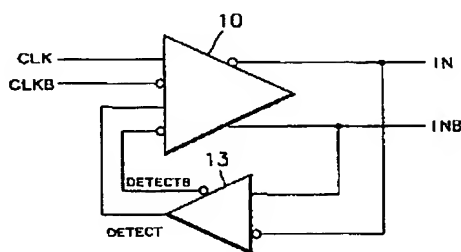
【図2】図1の検出回路の回路図である。

【図3】本発明の一実施形態による検出回路の回路図である。

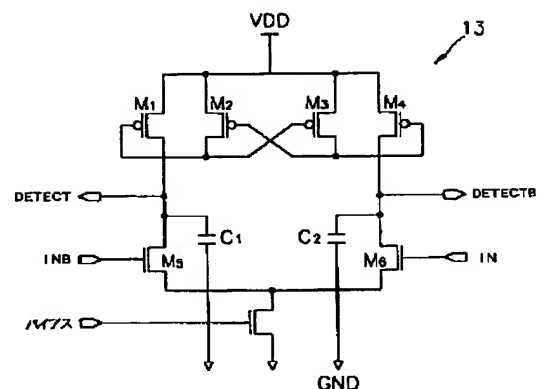
20 【符号の説明】

- 13 A 検出回路
- 31 第1出力ドライバ
- 33 自己バイアス回路
- 35 電流源
- 37 負荷整合回路
- 39 第2出力ドライバ

【図1】



【図2】



[illegible]

(72) 発明者 鄭 起 旭
大韓民国ソウル特別市江南区大峙 1 洞633
番地 青室アパート 5 棟905号

(72) 発明者 金 元 燦
大韓民国ソウル特別市瑞草区盤浦 4 洞107
ー50番地 現代ビルー301号

F ターム (参考) 5J039 HH06 KK16 MM06 NN06
5J056 AA00 AA40 BB02 BB38 BB59
CC01 DD29 DD51 FF01 FF09
GG09
5M024 AA36 BB27 BB33 BB34 DD83
HH11 JJ03 JJ35 JJ40 PP02
PP03